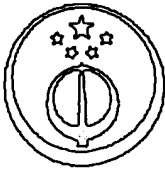


[19]中华人民共和国专利局

[51]Int.Cl<sup>6</sup>

H01L 21/8247

H01L 27/115



## [12] 发明专利申请公开说明书

[21] 申请号 96195220.2

[43]公开日 1998年8月5日

[11] 公开号 CN 1189919A

[22]申请日 96.6.25

[30]优先权

[32]95.7.5 [33]DE[31]19524478.8

[86]国际申请 PCT/DE96/01117 96.6.25

[87]国际公布 WO97/02599 德 97.1.23

[85]进入国家阶段日期 97.12.31

[71]申请人 西门子公司

地址 联邦德国慕尼黑

[72]发明人 F·霍夫曼 W·罗斯纳

W·克劳茨内德尔 L·里斯赫

[74]专利代理机构 中国专利代理(香港)有限公司

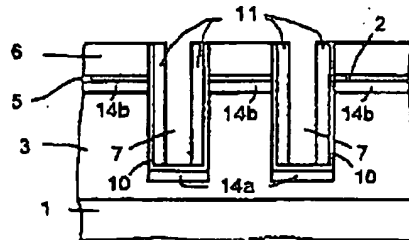
代理人 邹光新 倪庭

权利要求书 2 页 说明书 6 页 附图页数 3 页

[54]发明名称 制造只读存储器单元阵列的方法

[57]摘要

为了制造只读存储器单元阵列，在半导体衬底内腐蚀出条形槽，每个存储单元具有浮栅（11）形成在这些槽侧面的垂直 MOS 晶体管。仅使用一个掩膜，用自对准方式，以槽（7）和相邻槽（7）之间的条形掺杂区为基础制造 MOS 晶体管的源/漏。槽（7）的宽度和它们之间的间距相同，因此制造出满足  $2F^2$  的空间要求的存储单元（ $F_1$  结构的最小尺寸）。



## 权利要求书

1. 一种制造只读存储器单元阵列的方法,

- 其中存储器单元的单元阵列形成在半导体衬底 (1) 的主表面 (2) 上, 每个存储器单元包括 MOS 晶体管, 该 MOS 晶体管垂直于主表面 (2), 并包括第一介质层 (10)、浮栅 (11)、第二介质层 (12) 和控制栅 (13a),

- 其中半导体衬底 (1) 至少在单元阵列的区域掺杂成第一导电类型,

- 其中, 为了形成单元阵列, 在半导体衬底 (1) 的主表面 (2) 上形成掺杂成第二导电类型并在整个单元阵列上延伸的区域 (4),

- 其中形成沟槽掩膜 (6),

- 其中使用沟槽掩膜 (6) 作腐蚀掩膜, 通过各向异性干法腐蚀工艺在主表面 (2) 内腐蚀出多个基本平行的条形沟道 (7), 通过构形掺杂成第二导电类型的区域 (4) 形成条形区域 (14b), 该条形区域排列在相邻的沟槽 (7) 之间的主表面 (2) 上并掺杂成第二导电类型,

- 其中使用沟槽掩膜 (6) 作注入掩膜, 通过离子注入形成条形区域 (14a), 该条形区域排列在沟槽 (7) 的底部并掺杂成第二导电类型,

- 其中在每种情况中, 垂直的 MOS 晶体管的第一介质层 (10)、浮栅 (11)、第二介质层 (12) 和控制栅 (13a) 形成在沟槽 (7) 的相对侧面上,

- 其中沿侧面的相邻 MOS 晶体管的浮栅 (11) 和控制栅 (13a) 相互绝缘,

- 其中形成字线 (13a), 该字线横向地延伸到沟槽 (7), 并在每种情况中连接到各字线 (13a) 下排列的垂直的 MOS 晶体管的控制栅 (13a);

2. 根据权利要求 1 的方法,

- 其中, 在形成排列在沟槽 (7) 底部的条形区域 (14a) 的离子注入之前, 用离子注入之后将除去的掩蔽间隔层 (8) 覆盖沟槽 (7) 的侧壁.

3. 根据权利要求 1 或 2 的方法,

- 其中, 形成条形区域 ( 14a, 14b ) 之后, 制造至少覆盖沟槽 ( 7 ) 侧面的第一介质层 ( 10 ),
- 其中在第一介质层 ( 10 ) 上形成第一掺杂的多晶硅层,
- 其中由第一掺杂的多晶硅层各向异性腐蚀形成掺杂的多晶
- 5 硅间隔层 ( 11 ),
- 其中在每种情况中, 垂直的 MOS 晶体管的第一介质层 ( 10 )、浮栅 ( 11 )、第二介质层 ( 12 ) 和控制栅 ( 13a ) 形成在沟槽 ( 7 ) 的相对侧面上,
- 其中沿侧面的相邻 MOS 晶体管的浮栅 ( 11 ) 和控制栅 ( 13a )
- 10 相互绝缘,
- 其中形成字线 ( 13a ), 该字线横向地延伸到沟槽 ( 7 ), 并在每种情况中连接到各字线 ( 13a ) 下排列的垂直的 MOS 晶体管的控制栅 ( 13a ) .
- 2. 根据权利要求 1 的方法,
- 15 - 其中, 在形成排列在沟槽 ( 7 ) 底部的条形区域 ( 14a ) 的离子注入之前, 用离子注入之后将除去的掩蔽间隔层 ( 8 ) 覆盖沟槽 ( 7 ) 的侧壁.
- 3. 根据权利要求 1 或 2 的方法,
- 其中, 形成条形区域 ( 14a, 14b ) 之后, 制造至少覆盖沟槽 ( 7 )
- 20 侧面的第一介质层 ( 10 ),
- 其中在第一介质层 ( 10 ) 上形成第一掺杂的多晶硅层,
- 其中由第一掺杂的多晶硅层各向异性腐蚀形成掺杂的多晶硅间隔层 ( 11 ),
- 其中形成第二介质层 ( 12 ),
- 25 - 其中形成第二掺杂的多晶硅层 ( 13 ),
- 其中借助字线掩膜, 通过构形第二掺杂的多晶硅层 ( 13 ) 形成字线 ( 13a ) 和控制栅 ( 13a ),
- 其中在每种情况中, 通过构形第二介质层 ( 12 ) 和掺杂的多晶硅间隔层 ( 11 ) 形成 MOS 晶体管的第二介质和浮栅.
- 30 4. 根据权利要求 3 的方法,
- 其中形成掺杂的多晶硅间隔层 ( 11 ) 后除去沟槽掩膜 ( 6 ) .

## 说明书

### 制造只读存储器单元阵列的方法

许多应用要求只读存储器单元的阵列具有电可写和电可擦除硅技术的只读存储器单元，即所谓的 EEPROM。即使没有外加电压，存储的数据也保留在这些 EEPROM 阵列中。

从技术的观点来看，这些存储器单元通常由 MOS 晶体管制成，该 MOS 晶体管的沟道区上具有第一介质层、浮栅、第二介质层和控制栅。如果电荷存储在浮栅上，那么该电荷影响 MOS 晶体管的阈值电压。在这种存储器单元阵列中，“浮栅上有电荷”的状态指定为第一逻辑值，“浮栅上没有电荷”的状态指定为第二逻辑值。使用富勒-诺德哈姆 (Fowler-Nordheim) 隧道电流或“热电子”电流，由此使电子注入到浮栅上，信息写入到存储器单元内。通过隧道电流穿过第一介质层来擦除信息。在 NAND 阵列中，至少八个 EEPROM 晶体管相互串联连接。

MOS 晶体管设计为平面 MOS 晶体管，并且排列为平面单元结构。因此存储器单元要求的最小面积等于  $4F^2$ ， $F$  为在各种技术中最小的可制造结构尺寸。这种类型的 EEPROM 阵列目前能提供的最大数据存储量为 32Mbit。

JP-A 3-1574 公开了一种电可写和电可擦除只读存储器单元阵列，它包括作为存储器单元、垂直于半导体衬底主表面并具有浮栅和控制栅的 MOS 晶体管。在衬底内形成基本上平行的条形沟槽。垂直的 MOS 晶体管设置在沟槽的侧面。在这种情况下，存储器单元设置在沟槽的相对侧面上。包括 MOS 晶体管的源和漏区的条形沟道掺杂区在沟道的底部和相邻沟道之间的主表面上延伸。在形成沟道后，通过掩蔽注入制成这些条形沟道掺杂区。当进行掩蔽步骤时，由于不可避免的对准误差，所以在该存储器单元阵列中得到的封装密度很有限。

US-A 5 049 956 公开了一种电可写和电可擦除存储器单元阵列，包括带有浮栅和控制栅并排列于点形沟槽中的垂直 MOS 晶体管。作为所有 MOS 晶体管的公用源区的连续掺杂层形成在沟槽底部。为了增加耦合电容，浮栅突出于衬底的表面。

目前大量的数据以可读和可擦除形式存储在动态存储器单元阵列

( DRAM ) 或磁性数据载体中。 DRAM 需要连续的外加电压以保持存储的数据。 与此相比, 磁性数据载体基于带有旋转存储介质的机械系统。

5 本发明的目的在于提供一种制造只读存储器单元阵列的方法, 制造需要有小面积的每个存储器单元。

根据本发明, 通过权利要求 1 的制造只读存储器单元阵列的方法可以解决该问题。 本发明进一步的进展在其它权利要求中给出。

10 通过本发明制造的电可读和电可擦除只读存储器单元阵列在半导体衬底中制得, 最好为单晶硅, 或在 SOI 衬底的硅层中。 存储器单元的单元阵列形成在半导体衬底的主表面上。 每个存储器单元包括 MOS 晶体管, 该 MOS 晶体管垂直于主表面, 除了源/漏区和排列在其间的沟槽区外, 还包括第一介质层、浮栅、第二介质层和控制栅。

15 多个基本平行的条形沟道形成在单元阵列中。 垂直的 MOS 晶体管排列在沟槽的侧面上。 这时, 在各种情况下, 存储器单元排列在沟槽的相对侧面上。

20 条形掺杂区在每种情况下都延伸到沟槽的底部和相邻沟槽之间的主表面上。 条形掺杂区与各自的侧面形成排列在侧面上的 MOS 晶体管的源/漏区。 第一介质层、浮栅、第二介质层和控制栅沿对应的源/漏区之间的侧面排列。 在每种情况中, 多个存储器单元沿侧面排列。 浮栅和控制栅沿侧面与相邻的存储器单元相互绝缘。

在每种情况中, 横向延伸到沟槽的字线连接到在分别的字线下排列的垂直的 MOS 晶体管的控制栅。

25 与沟道的深度相比, 浮栅最好在垂直于表面的方向内有较大延伸。 因此浮栅突出于主表面之上。 以这种方式浮栅和控制栅之间的耦合电容增加。

30 如果选择相邻沟槽间的距离基本上等于沟槽的宽度, 那么根据本发明的只读存储器单元阵列可以用自对准制造法制造, 每个存储器单元要求的空间为  $2F^2$ ,  $F$  为在各个技术中最小的结构尺寸。 对于自对准法制造存储器单元阵列仅需两个光刻制造的掩膜: 一个掩膜用于腐蚀沟槽, 另一掩膜用于构造横向延伸到沟槽的字线。 浮栅用间隔层腐蚀形成, 并与沟槽的侧面自对准。 使用字线掩膜, 使形成的浮栅和第二介质平行于沟槽的延伸部分。

最好在除去沟道槽膜之前进行间隔层腐蚀以形成浮栅。然后借助沟槽掩膜的厚度调节垂直于主表面的浮栅的延伸部分。在淀积用于形成第二介质的第二介质层之前，除去沟道槽膜。

5 当不必通过增加浮栅的延伸部分来增加浮栅和控制栅之间的耦合电容时，在淀积用于形成浮栅的第一掺杂多晶硅层之前，除去沟槽掩膜。

下面结合说明性实施例和图更详细地介绍本发明。

图 1 显示的是在单元阵列中带掺杂区的衬底。

图 2 显示的是沟槽腐蚀后带沟槽掩膜的衬底。

10 图 3 显示的是在沟槽的底部形成条形掺杂区后的衬底。

图 4 显示的是在沟道的侧面形成第一介质和掺杂多晶硅间隔层之后的衬底。

图 5 显示的是淀积第二介质层和第二掺杂多晶硅层之后的衬底。

图 6 显示的是最终的电可写和可擦存储器单元阵列的平面图。

15 由如掺杂浓度为  $5 \times 10^{15} \text{ cm}^{-3}$  的 p 掺杂单晶硅构成的衬底 1 在主表面 2 上形成有厚度如 50nm (未表示) 的掩蔽氧化物。通过硼注入 ( $160\text{keV}, 6 \times 10^{13} \text{ cm}^{-2}$ ) 和随后的热处理形成掺杂剂浓度为  $3 \times 10^{17} \text{ cm}^{-3}$  的 p 掺杂阱 3 (见图 1)。然后腐蚀除去掩蔽氧化物。

20 例如用 LOCOS 工艺，在 p 掺杂阱 3 的边缘随后形成绝缘结构 (未显示)。绝缘结构限定了用于单元阵列的区域。

进一步形成 20 nm 的掩蔽氧化物 (未显示) 后，通过 50keV,  $5 \times 10^{15} \text{ cm}^{-2}$  的砷注入形成  $n^+$  掺杂区 4。  $n^+$  掺杂区 4 的掺杂浓度为  $1 \times 10^{21} \text{ cm}^{-3}$ 。它在用于单元阵列的区域上的主表面 2 上延伸。  $n^+$  掺杂区 4 的深度例如等于 200nm。

25 除去掩蔽氧化物后，通过如 800 °C 的热氧化在主表面 2 上形成厚度如 50 nm 的  $\text{SiO}_2$  层，用 CVD 形成厚度为 50 nm 的氮化物层。  $\text{SiO}_2$  层和氮化物层形成辅助层 5 (见图 2)。

随后，为了形成沟槽掩膜 6，用 TEOS 工艺淀积 300nm 厚的  $\text{SiO}_2$  层，并借助光刻法，通过例如用  $\text{CHF}_3$ 、 $\text{O}_2$  各向异性干法腐蚀构形。

30 然后各向异性干法腐蚀根据沟槽掩膜 6 构形辅助层 5。例如用  $\text{CHF}_3$ 、 $\text{O}_2$  腐蚀辅助层 5。除去用于构形沟槽掩膜 6 的光刻胶掩膜后，进行沟槽腐蚀。在使用如  $\text{HBr}$ 、 $\text{He}$ 、 $\text{O}_2$ 、 $\text{NF}_3$  的各向异性干法腐蚀

工艺中进行沟道腐蚀。因此形成深度如  $0.6\mu\text{m}$  的沟槽 7。沟槽 8 在 NAND 单元阵列块上延伸。它们的长度为如  $8\mu\text{m}$  并且宽度为如  $0.4\mu\text{m}$ 。

在单元阵列中，相邻的沟槽 7 以  $0.4\mu\text{m}$  的间距排列。沟槽 7 基本上平行。

- 5 通过保形淀积，形成  $20\text{nm}$  厚的 TEOS 层（未显示），然后形成厚度如  $80\text{nm}$  的  $\text{Si}_3\text{N}_4$  层。通过随后的用如  $\text{CHF}_3$ 、 $\text{O}_2$  的各向异性干法腐蚀工艺，在沟槽 7 和沟槽掩膜 6 的垂直侧面形成  $\text{Si}_3\text{N}_4$  间隔层 8（见图 3）。

- 10 然后用 TEOS 法在整个表面上淀积  $20\text{nm}$  厚的掩蔽氧化层 9。对形成在沟槽 7 底部的  $\text{n}^+$  掺杂条形区 14a 进行离子注入（ $5 \times 10^{15} \text{cm}^{-2}$ ， $50\text{keV}$ ）。通过热处理步骤激活掺杂区 14a。条形掺杂区 14a 掺杂剂浓度设置为  $1 \times 10^{21} \text{cm}^{-3}$ 。

在离子注入期间， $\text{Si}_3\text{N}_4$  间隔层 8 掩蔽沟槽 7 的侧面。这可避免在沟槽 7 的侧面产生的垂直 MOS 晶体管的阈值电压漂移。

- 15 在沟槽腐蚀过程中，通过在相邻沟槽 7 之间构成  $\text{n}^+$  掺杂区 4，在半导体衬底 1 的主表面上形成条形掺杂区 14b。

然后在如  $\text{HF}$  腐蚀剂中除去掩蔽氧化层 9。例如用  $\text{H}_3\text{PO}_4$  的湿法化学腐蚀除去  $\text{Si}_3\text{N}_4$  间隔层 8。然后使用  $\text{HF}$  的湿法化学腐蚀除去薄氧化底层。在沟槽 7 的侧面和底部留下未覆盖的硅表面。

- 20 通过如  $800^\circ\text{C}$  的热氧化至少在暴露的硅表面上形成由  $\text{SiO}_2$  组成的第一介质层 10。在侧面形成厚度如  $10\text{nm}$  的第一介质层 10。由于沟槽 7 底部的条形掺杂区 14a 的掺杂增加，因此这里形成厚度为  $50\text{nm}$  的第一介质层。

- 25 通过淀积如  $100\text{nm}$  厚的原位掺杂的多晶硅和随后的各向异性深腐蚀，在沟槽的侧面上制造掺杂的多晶硅间隔层 11。

为了形成掺杂的多晶硅间隔层 11，也可以淀积未掺杂的多晶硅层，该层随后将由其它方式（extraneous means）进行掺杂。

- 30 通过如  $\text{HF}$  蒸汽的湿法腐蚀除去沟槽掩膜 6。在该腐蚀中，相对于热  $\text{SiO}_2$  选择性地除去用 TEOS 法淀积的  $\text{SiO}_2$ 。在该腐蚀中，不影响条形掺杂区 14a,b 表面上的辅助层 5 和第一介质层 10（见图 5）。该腐蚀对于多晶硅具有进一步的选择性。除去沟槽掩膜 6 之后，掺杂的多晶硅间隔层 11 突出于主表面 2 之上。垂直于主表面 2 的方向内多晶硅间隔

层 11 的延伸由沟槽掩膜 6 的厚度决定。

然后在整个表面上形成第二介质层 12。形成的第二介质层 12 为多层，包括第一  $\text{SiO}_2$  层、 $\text{Si}_3\text{N}_4$  层和第二  $\text{SiO}_2$  层。在这种情况下， $\text{Si}_3\text{N}_4$  层用 CVD 工艺淀积，第一和第二  $\text{SiO}_2$  层通过热氧化形成。形成厚度为 5 8 nm 的第二介质层 12。

然后淀积第二掺杂的多晶硅层 13。使用原位掺杂淀积第二掺杂的多晶硅层 13。淀积的厚度为如 500nm。第二掺杂的多晶硅层 13 完全填充沟槽 7。同样填充了主表面 2 上相邻多晶硅间隔层 11 之间的间隔。

然后通过淀积厚度如 100nm 的 TEOS  $\text{SiO}_2$  层，并借助光刻工艺步骤（未显）构形 TEOS  $\text{SiO}_2$  层形成字线掩膜（未示出）。字线掩膜限定了横向地延伸到沟槽 7 的字线。用如  $\text{HBr}$ 、 $\text{Cl}_2$ 、 $\text{He}$  的各向异性干法腐蚀工艺，使用字线掩膜做腐蚀掩膜构形第二多晶硅层 13。这样可产生横向延伸到沟槽的字线 13a（见图 6 的平面图）和沟槽 7 区域内的控制栅。一旦露出第二介质层 12 的表面就停止腐蚀。

15 在 ONO 情况下，用如  $\text{CHF}_3$ 、 $\text{O}_2$  的进一步干法腐蚀工艺腐蚀第二介质层 12。相对于（氧化物/氮化物），高选择性地再次腐蚀（ $\text{HBr}$ 、 $\text{Cl}_2$ 、 $\text{He}$ ）多晶硅。此时，也腐蚀浮栅和控制栅直至沟槽底部。在该腐蚀期间，由掺杂的多晶硅间隔层 11 形成浮栅。

然后通过如  $\text{HF}$ 、 $\text{H}_3\text{PO}_4$  的湿法腐蚀除去第二介质层 12。

20 在根据字线 13a 的延伸构形掺杂的多晶硅间隔层 11、第二介质层 12 和第二掺杂的多晶硅层 13 期间，在沟槽 7 内的相邻字线 13a 之间露出第一介质层 10。这意味着相邻字线 13a 之间的沟槽 7 的开口到第一介质层 10 为止。然后淀积如 800nm 厚的 TEOS  $\text{SiO}_2$  层，并深腐蚀 TEOS  $\text{SiO}_2$  层直至露出字线 13a 的表面来填充该中间间隔（未表示）。

25 最后，如硼磷硅酸盐玻璃的平面化中间氧化层淀积在整个表面上，并在该层中开接触孔。除此之外对字线 13a、到排列在沟槽 7 底部的条形掺杂区 14a，和排列在相邻沟槽 7 之间的主表面 2 上的条形掺杂区 14b 开接触孔。接触孔填充例如铝。现在通过例如淀积和构形铝层产生金属化平面。最后施加钝化层。未详细表示这些常用步骤。

30 在根据本发明制造的只读存储器单元阵列中，根据“虚接地”原理估测单独的存储器单元。每个条形掺杂区 14a,b 指定为两行存储器单元。此时由相邻排列的主表面 2 上的条形掺杂区 14a 和底部的 14b 组成



的一对条形掺杂区 14a,b 明确地指定为一行存储器单元。因此, 当读取只读存储器单元阵列时, 通过字线 13a 选择后, 绝缘沟槽底部的条形掺杂区 14a 和主表面 2 上的条形掺杂区 14b 之间的电流流动可以估测。在沟槽 7 底部和主表面 2 上的条形掺杂区 14a, 14b 的工作取决于作为参考线或位线的布线结构。

和常规的 EEPROM 阵列一样, 通过“热电子注入”将信息写到存储器单元。在富勒-诺德哈姆过程中擦除存储器单元。

为了编程的目的, 例如  $V_{dd}$  的第一电源电压施加到选择晶体管左侧的条形掺杂区 14a, 14b, 例如  $V_{ss}$  的第二电源电压施加到选择晶体管右侧的条形掺杂区 14a, 14b。例如 7V 的高栅电压施加到排列在沟槽 7 内字线 13a 的部分上, 作用相当于控制栅。因而电子注入到相关的浮栅内。

为了擦除信息, 通过富勒-诺德哈姆过程浮栅放电到衬底。

图 6 为根据本发明的只读存储器单元阵列的单元阵列的平面图。存储器单元的单元尺寸用虚线表示。存储器单元的宽度由沟槽 7 宽度的一半和相邻沟槽之间的间距的一半构成。存储器单元的长度由字线 13a 的宽度和两倍的相邻字线 13a 之间的半间距构成。如果形成的沟道 7 的宽度为  $F$  和间距为  $F$ , 并且如果字线 13a 以宽度  $F$  和间距  $F$  形成, 其中  $F$  为在各个技术中最小的结构尺寸, 那么可得到  $2F^2$  的存储器单元面积。

# 说明书附图

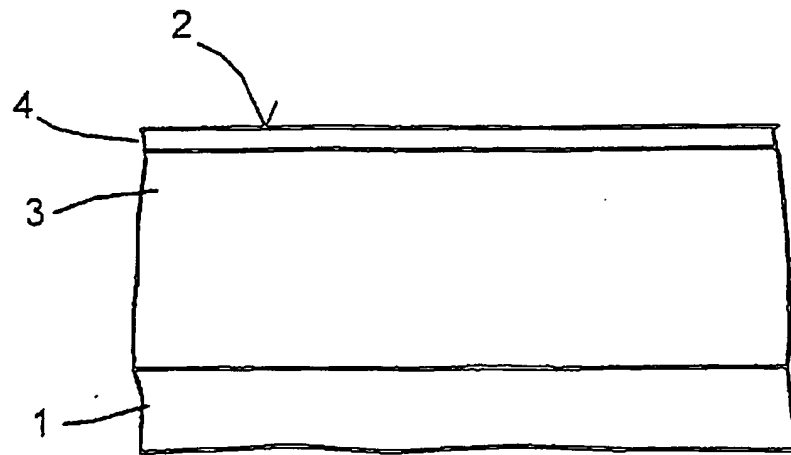


图 1

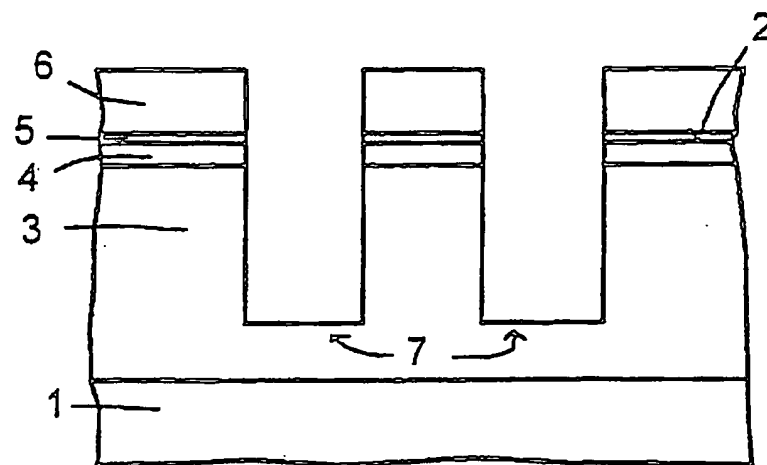


图 2

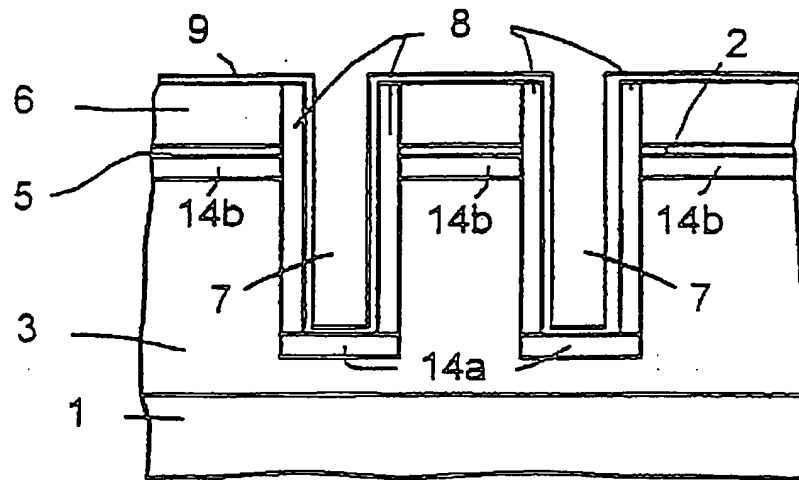


图 3

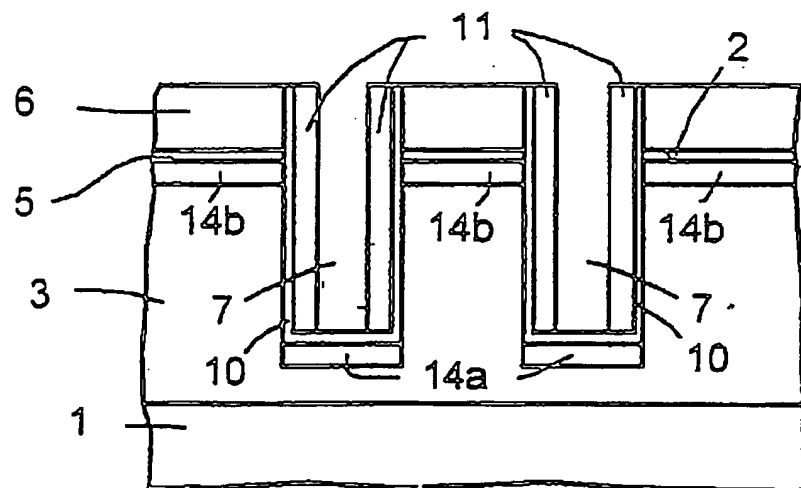


图 4

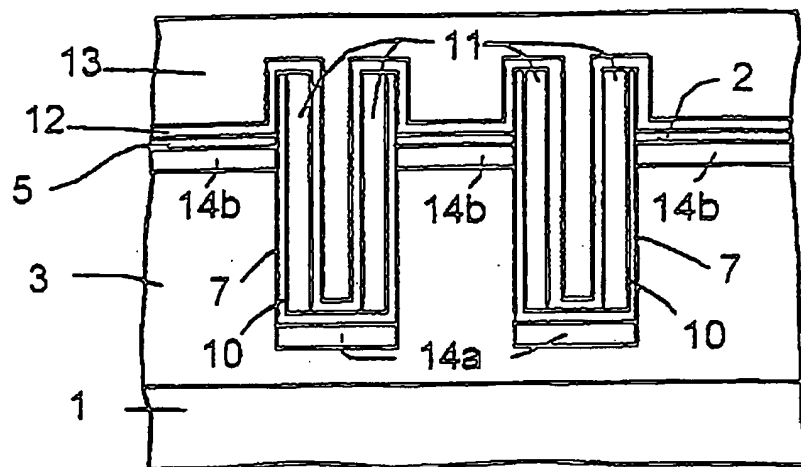


图 5

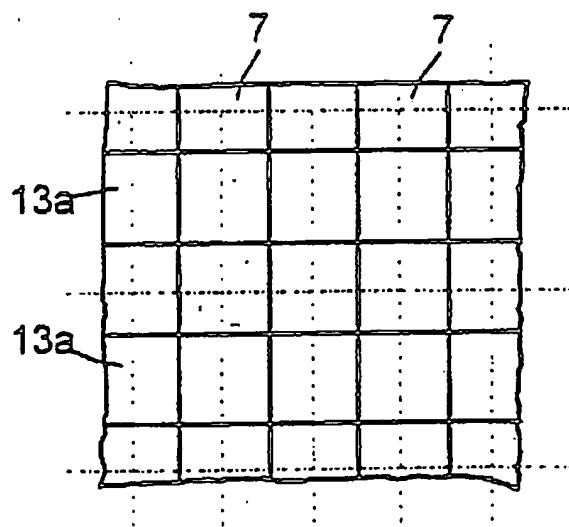


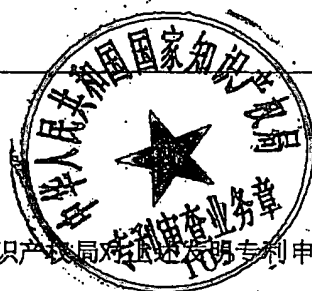
图 6



# 中华人民共和国国家知识产权局

邮政编码: 100032 北京市金融街 35 号国际企业大厦 A 座 16 层 北京三友知识产权代理有限公司 王一斌	发文日期: 2016.2.10 
申请号: 031558089 	
申请人: 南亚科技股份有限公司	
发明创造名称: 多位元垂直存储单元及其制造方法	

## 第一次审查意见通知书



1. ☒ 应申请人提出的实审请求, 根据专利法第 35 条第 1 款的规定, 国家知识产权局对发明专利申请进行实质审查。  
☐ 根据专利法第 35 条第 2 款的规定, 国家知识产权局决定自行对上述发明专利申请进行审查。
2. ☐ 申请人要求以在:
- |         |   |   |   |        |
|---------|---|---|---|--------|
| 专利局的申请日 | 年 | 月 | 日 | 为优先权日, |
| 专利局的申请日 | 年 | 月 | 日 | 为优先权日, |
| 专利局的申请日 | 年 | 月 | 日 | 为优先权日, |
| 专利局的申请日 | 年 | 月 | 日 | 为优先权日, |
| 专利局的申请日 | 年 | 月 | 日 | 为优先权日。 |
- ☐ 申请人已经提交了经原申请国受理机关证明的第一次提出的在先申请文件的副本。  
☐ 申请人尚未提交经原申请国受理机关证明的第一次提出的在先申请文件的副本, 根据专利法第 30 条的规定视为未提出优先权要求。
3. ☐ 经审查, 申请人于:
- |   |   |   |     |                   |
|---|---|---|-----|-------------------|
| 年 | 月 | 日 | 提交的 | 不符合实施细则第 51 条的规定; |
| 年 | 月 | 日 | 提交的 | 不符合专利法第 33 条的规定;  |
| 年 | 月 | 日 | 提交的 |                   |
4. 审查针对的申请文件:
- ☒ 原始申请文件。 ☐ 审查是针对下述申请文件的
- | 申请日提交的原始申请文件的权利要求第 | 项、说明书第 | 页、附图第     | 页; |
|--------------------|--------|-----------|----|
| 年 月 日提交的权利要求第      | 项、说明书第 | 页、附图第     | 页; |
| 年 月 日提交的权利要求第      | 项、说明书第 | 页、附图第     | 页; |
| 年 月 日提交的权利要求第      | 项、说明书第 | 页、附图第     | 页; |
| 年 月 日提交的说明书摘要,     | 年 月    | 日提交的摘要附图。 |    |
5. ☐ 本通知书是在未进行检索的情况下作出的。  
☒ 本通知书是在进行了检索的情况下作出的。  
☒ 本通知书引用下述对比文献(其编号在今后的审查过程中继续沿用):
- | 编号 | 文件号或名称      | 公开日期(或抵触申请的申请日) |
|----|-------------|-----------------|
| 1  | CN1189919 A | 1998-08-05      |
| 2  | US5315142 A | 1994-05-24      |
6. 审查的结论性意见:
- ☐ 关于说明书:
- ☐ 申请的内容属于专利法第 5 条规定的不授予专利权的范围。



- ☐ 说明书不符合专利法第 26 条第 3 款的规定。  
☐ 说明书不符合专利法第 33 条的规定。  
☐ 说明书的撰写不符合实施细则第 18 条的规定。

☒ 关于权利要求书:

- ☐ 权利要求 不具备专利法第 22 条第 2 款规定的新颖性。  
☒ 权利要求 1-7, 12-20 不具备专利法第 22 条第 3 款规定的创造性。  
☐ 权利要求 不具备专利法第 22 条第 4 款规定的实用性。  
☐ 权利要求 属于专利法第 25 条规定的不授予专利权的范围。  
☐ 权利要求 不符合专利法第 26 条第 4 款的规定。  
☐ 权利要求 不符合专利法第 31 条第 1 款的规定。  
☐ 权利要求 不符合专利法第 33 条的规定。  
☐ 权利要求 不符合专利法实施细则第 2 条第 1 款关于发明的定义。  
☐ 权利要求 不符合专利法实施细则第 13 条第 1 款的规定。  
☒ 权利要求 8, 9 不符合专利法实施细则第 20 条的规定。  
☐ 权利要求 不符合专利法实施细则第 21 条的规定。  
☐ 权利要求 不符合专利法实施细则第 22 条的规定。  
☒ 权利要求 不符合专利法实施细则第 23 条的规定。

上述结论性意见的具体分析见本通知书的正文部分。

7. 基于上述结论性意见, 审查员认为:

- ☐ 申请人应按照通知书正文部分提出的要求, 对申请文件进行修改。  
☐ 申请人应在意见陈述书中论述其专利申请可以被授予专利权的理由, 并对通知书正文部分中指出的不符合规定之处进行修改, 否则将不能授予专利权。  
☒ 专利申请中没有可以被授予专利权的实质性内容, 如果申请人没有陈述理由或者陈述理由不充分, 其申请将被驳回。

8. 申请人应注意下述事项:

- (1) 根据专利法第 37 条的规定, 申请人应在收到本通知书之日起的肆个月内陈述意见, 如果申请人无正当理由逾期不答复, 其申请将被视为撤回。  
(2) 申请人对其申请的修改应符合专利法第 33 条的规定, 修改文本应一式两份, 其格式应符合审查指南的有关规定。  
(3) 申请人的意见陈述书和/或修改文本应邮寄或递交国家知识产权局专利局受理处, 凡未邮寄或递交给受理处的文件不具备法律效力。  
(4) 未经预约, 申请人和/或代理人不得前来国家知识产权局专利局与审查员举行会晤。

9. 本通知书正文部分共有 7 页, 并附有下列附件:

- ☒ 引用的对比文件的复印件共 2 份 28 页。 ☐

审查员: 刘震 (9560)  
 2006 年 1 月 4 日



审查部门 审查协作中心



## 第一次审查意见通知书正文

申请号：031558089

本申请涉及一种垂直式存储单元，根据说明书的记载，其特别是关于一种可存储至少二位以上的多位元垂直存储单元及其制造方法。审查员是根据申请人提交的原始申请文件进行实质审查的，经审查，具体意见如下：

### (一)

1. 独立权利要求1请求保护一种多位元垂直存储单元的制造方法，对比文件1 (CN1189919 A) 公开了一种制造只读存储器单元阵列的方法（参见对比文件1说明书第3页第15行至第5页第29行，权利要求1-4，附图1-6），并具体披露了以下技术特征：

(a)、提供一p掺杂单晶硅衬底(1)，随后热处理形成p掺杂阱(3)，由p掺杂单晶硅衬底(1)和p掺杂阱(3)共同构成如本申请权利要求1中的半导体基底，其具有至少一沟槽(7)；

(b)、于邻近该半导体基底表面及该沟槽底部的该半导体基底中各形成一掺杂区(14a和14b)以作为位元线；

(c)、于每一该掺杂区上方各形成一位元线绝缘层：在沟槽底部的该半导体基底中掺杂区(14a)上形成第一绝缘层(10)，在邻近该半导体基底表面掺杂区(14b)形成有由SiO<sub>2</sub>和氮化物构成的辅助层(5)；

(d)、于该沟槽的侧壁及该位元线绝缘层表面顺应性形成一掺杂的多晶硅间隔层(11)和第二介质层(12)以局部储存电荷；及

(e)、于该第二介质层(12)上方形成一掺杂的多晶硅层(13)并填入该沟槽。

该权利要求所请求保护的技术方案与对比文件1所公开的技术方案的区别技术特征是：于该沟槽的侧壁及该位元线绝缘层表面顺应性形成一“富含硅绝缘层”以局部储存电荷。

对比文件2(US5315142 A)公开了一种制造高性能沟道EEPROM单元的方法（参见对比文件2说明书第5栏第5行至第10行），并具体披露了以下技术特征：于该沟槽(45)的侧壁及该位元线绝缘层(220)表面顺应性形成一介质层(115)，该介质层(115)可以是富含硅氧化层(SRO)或者是氧化物/氮化物/氧化物(ONO)；也就是说，对比文件2明确披露了特征“一富含硅绝缘层，顺应性地设置于该沟槽的侧壁及该位元线绝缘层表面”。虽然对比文件2没有明确说明该富含硅氧化层(115)用以局部储存电荷的作用，但是本领域技术人员都知道在悬浮栅等结构的存储单元中采用富含硅氧化层(115)可以用来存储电荷，因而，本领域技术人员在阅读了对比文件2所给出的技术方案的后，可以想到将富含硅绝缘层形成在沟槽的侧壁及该位元线绝缘层表面以局部存储电荷”；也就

是说，对比文件2实质上给出将该区别技术特征用于该对比文件1中以解决其技术问题的启示。

综上所述，在该对比文件1的基础上结合对比文件2得出该权利要求所要求保护的技术方案，对本领域的技术人员来说是显而易见的，不具有突出的实质性特点和显著的进步，不符合专利法第二十二条第三款所规定的创造性。

2. 权利要求2对权利要求1做了进一步的限定：对比文件1(CN1189919 A)公开了一种制造只读存储器单元阵列的方法（参见对比文件1说明书第4页第5-19行，权利要求1-4，附图1-3），并具体披露了以下技术特征：其中形成该掺杂区更包括下列步骤：

(a)、在该沟槽(7)侧壁形成 $\text{Si}_3\text{N}_4$ 间隔层(8)；

(b)、利用该间隔层(8)作为一罩幕而对该半导体基底实施一离子植入程序；

及

(c)、用 $\text{H}_3\text{PO}_4$ 的湿法化学腐蚀除去 $\text{Si}_3\text{N}_4$ 间隔层(8)。

由此可见，权利要求2的附加技术特征已经被对比文件1公开了，在其所引用的权利要求1不具有创造性的情况下，权利要求2请求保护的技术方案不具有专利法第二十二条第三款所规定的创造性。

3. 权利要求3对权利要求2进一步限定为“该间隙壁是由氮化硅所构成”，根据对权利要求2进行评述的第2条审查意见可知，权利要求3的附加技术特征已经被对比文件1公开了；因此，在其所引用的权利要求2不具有创造性的情况下，权利要求3请求保护的技术方案不具有专利法第二十二条第三款所规定的创造性。

4. 权利要求4对权利要求2进一步限定为“借由磷离子执行该离子植入程序”，该附加技术特征属于本领域的常用技术手段，这是因为，在制造存储单元或晶体管时，对其源区或漏区进行离子注入通常可以采用磷离子注入、硼离子注入以及砷离子注入。因此，在其所引用的权利要求2不具有创造性的情况下，权利要求4请求保护的技术方案不具有专利法第二十二条第三款所规定的创造性。

5. 权利要求5对权利要求1进一步限定为“借由热氧化法形成该位元线绝缘层”，对比文件1(CN1189919 A)公开了一种制造只读存储器单元阵列的方法（参见对比文件1说明书第4页第20-23行，权利要求1-4，附图4），并具体披露了以下技术特征：通过如 $800^\circ\text{C}$ 的热氧化至少在暴露的硅表面上形成由 $\text{SiO}_2$ 组成的第一介质层(10)。由此可见，权利要求5的附加技术特征已经被对比文件1公开了；因此，在其所引用的权利要求1不具有创造性的情况下，权利要求5请求保护的技术方案不具有专利法第二十二条第三款所规定的创造性。

6. 权利要求6对权利要求1进一步限定为“该位元线绝缘层的厚度为300至



2000Å”，对比文件1(CN1189919 A)公开了一种制造只读存储器单元阵列的方法（参见对比文件1说明书第4页第20-23行，权利要求1-4，附图4），并具体披露了以下技术特征：由于沟槽(7)底部的条形掺杂区(14a)的掺杂增加，因此，这里形成厚度为50nm的第一介质层(10)。对比文件1公开的“50nm的第一介质层”实质上是披露了位元线绝缘层的厚度为500Å这一技术方案，由此可见，权利要求6的附加技术特征已经被对比文件1公开了；因此，在其所引用的权利要求1不具有创造性的情况下，权利要求6请求保护的技术方案不具有专利法第二十二条第三款所规定的创造性。

7. 权利要求7对权利要求1进一步限定为“该富含硅绝缘层为富含硅氧化层”，根据对独立权利要求1进行评述的第1条审查意见可知，权利要求7的附加技术特征已经被对比文件2公开了；因此，在其所引用的权利要求1不具有创造性的情况下，权利要求7请求保护的技术方案不具有专利法第二十二条第三款所规定的创造性。

8. 权利要求12对权利要求1进一步限定为“该导电层是一多晶硅层”，根据对独立权利要求1进行评述的第1条审查意见可知，权利要求12的附加技术特征已经被对比文件1公开了；因此，在其所引用的权利要求1不具有创造性的情况下，权利要求12请求保护的技术方案不具有专利法第二十二条第三款所规定的创造性。

9. 独立权利要求13请求保护一种多位元垂直存储单元，对比文件1(CN1189919 A)公开了一种制造只读存储器单元阵列的方法（参见对比文件1说明书第3页第15行至第5页第29行，权利要求1-4，附图1-6），并具体披露了以下技术特征：

(a)、一p掺杂单晶硅衬底(1)，随后热处理形成p掺杂阱(3)，由p掺杂单晶硅衬底(1)和p掺杂阱(3)共同构成如本申请权利要求13中的半导体基底，其具有至少一沟槽(7)；

(b)、邻近该半导体基底表面及该沟槽底部的该半导体基底中各形成一掺杂区(14a和14b)以作为位元线，于每一该掺杂区上方各形成一位元线绝缘层：在沟槽底部的该半导体基底中掺杂区(14a)上形成第一绝缘层(10)，在邻近该半导体基底表面掺杂区(14b)形成有由SiO<sub>2</sub>和氮化物构成的辅助层(5)；

(c)、于该第二介质层(12)上方形成一掺杂的多晶硅层(13)并填入该沟槽。

该权利要求所请求保护的技术方案与对比文件1所公开的技术方案的差别技术特征是：一富含硅氧化层，用以局部储存电荷，顺应性地设置于该沟槽的侧壁及该位元线绝缘层表面。

对比文件2(US5315142 A)公开了一种制造高性能沟道EEPROM单元的方法（参见对比文件2说明书第5栏第5行至第10行），并具体披露了以下技术特征：于该沟槽(45)的侧壁及该位元线绝缘层(220)表面顺应性形成一介质层(115)，该介质层(115)可以是富含硅氧化层(SiO<sub>2</sub>)或者是氧化物/氮化物/氧化物(ONO)；也就是说，对比文件2明

确披露了特征“一富含硅氧化层，顺应性地设置于该沟槽的侧壁及该位元线绝缘层表面”。虽然对比文件2没有明确说明该富含硅氧化层(115)用以局部储存电荷的作用，但是本领域技术人员都知道在悬浮栅等结构的存储单元中采用富含硅氧化层(115)可以用来存储电荷，因而，本领域技术人员在阅读了对比文件2所给出的技术方案的后，可以想到将“富含硅绝缘层形成在沟槽的侧壁及该位元线绝缘层表面以局部存储电荷”；也就是说，对比文件2实质上给出将该区别技术特征用于该对比文件1中以解决其技术问题的启示。

综上所述，在该对比文件1的基础上结合对比文件2得出该权利要求所要求保护的技术方案，对本领域的技术人员来说是显而易见的，不具有突出的实质性特点和显著的进步，不符合专利法第二十二条第三款所规定的创造性。

10. 权利要求14对权利要求13进一步限定为“该位元线为磷离子植入区”，该附加技术特征属于本领域的常用技术手段，这是因为，在制造存储单元或晶体管时，对其源区或漏区进行离子注入通常可以采用磷离子注入、硼离子注入以及砷离子注入，因而，该位元线区采用磷离子进行植入属于本领域的常用技术手段。因此，在其所引用的权利要求13不具有创造性的情况下，权利要求14请求保护的技术方案不具有专利法第二十二条第三款所规定的创造性。

11. 权利要求15对权利要求13进一步限定为“该位元线绝缘层的厚度为300至2000Å”，对比文件1(CN1189919 A)公开了一种制造只读存储器单元阵列的方法（参见对比文件1说明书第4页第20-23行，权利要求1-4，附图4），并具体披露了以下技术特征：由于沟槽(7)底部的条形掺杂区(14a)的掺杂增加，因此，这里形成厚度为50nm的第一介质层(10)。对比文件1公开的“50nm的第一介质层”实质上是披露了位元线绝缘层的厚度为500Å这一技术方案，由此可见，权利要求15的附加技术特征已经被对比文件1公开了；因此，在其所引用的权利要求13不具有创造性的情况下，权利要求15请求保护的技术方案不具有专利法第二十二条第三款所规定的创造性。

12. 权利要求16对权利要求13进一步限定为“该位元线绝缘层为氧化层”，对比文件1(CN1189919 A)公开了一种制造只读存储器单元阵列的方法（参见对比文件1说明书第4页第20-23行，权利要求1-4，附图4），并具体披露了以下技术特征：通过如800℃的热氧化至少在暴露的硅表面上形成由SiO<sub>2</sub>组成的第一介质层(10)。由此可见，权利要求16的附加技术特征已经被对比文件1公开了；因此，在其所引用的权利要求13不具有创造性的情况下，权利要求16请求保护的技术方案不具有专利法第二十二条第三款所规定的创造性。

13. 权利要求17对权利要求13进一步限定为“该富含硅氧化层的厚度为50至110Å”，对比文件2(US5315142 A)公开了一种制造高性能沟道EEPROM单元的方法（参见

对比文件2说明书第5栏第9行至第10行)，并具体披露了以下技术特征：富含硅氧化层(115)的厚度大约为150Å。权利要求17请求保护的技术方案实际上是从现有技术中公开的较大范围中，选取一个较小的保护范围；根据对比文件2公开的技术内容，本领域技术人员可以通过常规的技术手段、在有限的范围内，经过有限次试验来选择具体的富含硅氧化层的厚度，从而得到权利要求17请求保护的技术方案；而且上述小范围的选择的技术方案也没有产生预料不到的技术效果。因此，在其所引用的权利要求13不具有创造性的情况下，权利要求17请求保护的技术方案不具有专利法第二十二条第三款所规定的创造性。

14. 权利要求18对权利要求13进一步限定为“该富含硅氧化层与该沟槽间更包括一闸极介电层”，对比文件2(US5315142 A)公开了一种制造高性能沟道EEPROM单元的方法（参见对比文件2说明书第5栏第50-58行），并具体披露了以下技术特征：富含硅氧化层(115)与该沟槽间更包括一位于悬浮栅极(110)下的侧壁介电层(100)。由此可见，权利要求18的附加技术特征已经被对比文件2公开了；因此，在其所引用的权利要求13不具有创造性的情况下，权利要求18请求保护的技术方案不具有专利法第二十二条第三款所规定的创造性。

15. 权利要求19对权利要求18进一步限定为“该闸极介电层的厚度为50Å”，对比文件2(US5315142 A)公开了一种制造高性能沟道EEPROM单元的方法（参见对比文件2说明书第5栏第56-58行），并具体披露了以下技术特征：富含硅氧化层(115)与该沟槽间更包括一位于悬浮栅极(110)下的侧壁介电层(100)，其优选的厚度范围为50-150Å。由此可见，权利要求19的附加技术特征已经被对比文件2公开了；因此，在其所引用的权利要求18不具有创造性的情况下，权利要求19请求保护的技术方案不具有专利法第二十二条第三款所规定的创造性。

16. 权利要求20对权利要求13进一步限定为“该字符线为多晶硅层”，根据对独立权利要求13进行评述的第9条审查意见可知，权利要求20的附加技术特征已经被对比文件1公开了；因此，在其所引用的权利要求13不具有创造性的情况下，权利要求20请求保护的技术方案不具有专利法第二十二条第三款所规定的创造性。

## (二)

1. 权利要求8和9分别用附加技术特征对权利要求1做了进一步的限定，但是上述权利要求附加技术特征都涉及到“氧化层”，但是在其引用的权利要求1中并没有提及“氧化层”；因此，权利要求8和9的撰写不符合专利法实施细则第二十条第一款有关权利要求应当清楚的规定。

即使申请人将权利要求8和9的引用关系进行修改，将其都改为引用权利要求7，从而克服权利要求8和9不清楚的缺陷，即该“氧化层”指的是富含硅氧化层；权利

要求8-11所请求保护的技术方案不具有专利法第二十二条第三款所规定的创造性。具体理由如下所述：

(1)、权利要求8对权利要求7进一步限定为“该富含硅氧化层的厚度为50至110Å”，对比文件2(US5315142 A)公开了一种制造高性能沟道EEPROM单元的方法（参见对比文件2说明书第5栏第9行至第10行），并具体披露了以下技术特征：富含硅氧化层(115)的厚度大约为150Å。权利要求8请求保护的技术方案实际上是从现有技术中公开的较大范围中，选取一个较小的保护范围；根据对比文件2公开的技术内容，本领域技术人员可以通过常规的技术手段、在有限的范围内，经过有限次试验来选择具体的富含硅氧化层的厚度，从而得到权利要求8请求保护的技术方案；而且上述小范围的选择的技术方案也没有产生预料不到的技术效果。因此，在其所引用的权利要求7不具有创造性的情况下，权利要求8请求保护的方案不具有专利法第二十二条第三款所规定的创造性。

(2)、权利要求9对权利要求7进一步限定为“该富含硅氧化层与该沟槽间更包括一闸极介电层”，对比文件2(US5315142 A)公开了一种制造高性能沟道EEPROM单元的方法（参见对比文件2说明书第5栏第50-58行），并具体披露了以下技术特征：富含硅氧化层(115)与该沟槽间更包括一位于悬浮栅极(110)下的侧壁介电层(100)。由此可见，权利要求9的附加技术特征已经被对比文件2公开了；因此，在其所引用的权利要求7不具有创造性的情况下，权利要求9请求保护的方案不具有专利法第二十二条第三款所规定的创造性。

(3)、权利要求10对权利要求9进一步限定为“该闸极介电层为闸极氧化层”，该附加技术特征属于本领域的常用技术手段，这是因为，在半导体领域制造晶体管或是存储器单元，通常选用氧化硅或氮化硅薄膜作为栅极与衬底之间的绝缘介质层；因而，使用氧化层作为栅极介电层属于本领域的常用技术手段，在其所引用的权利要求9不具有创造性的情况下，权利要求10请求保护的方案不具有专利法第二十二条第三款所规定的创造性。

(4)、权利要求11对权利要求9进一步限定为“该闸极介电层的厚度为50Å”，对比文件2(US5315142 A)公开了一种制造高性能沟道EEPROM单元的方法（参见对比文件2说明书第5栏第56-58行），并具体披露了以下技术特征：富含硅氧化层(115)与该沟槽间更包括一位于悬浮栅极(110)下的侧壁介电层(100)，其优选的厚度范围为50-150Å。由此可见，权利要求11的附加技术特征已经被对比文件2公开了；因此，在其所引用的权利要求9不具有创造性的情况下，权利要求11请求保护的方案不具有专利法第二十二条第三款所规定的创造性。

基于上述理由，本申请的独立权利要求以及其从属权利要求都不具备创造性，同时其说明书中也没有记载其它任何可以授予专利权的实质性内容。即使申请人对权利要求进行重新组合和 / 或根据说明书记载的内容作进一步的限定，本申请也不具备被授予专利权的前景。如果申请人不能在本通知书规定的答复期限内提出表明本申请具有新颖性和创造性的充分理由，本申请将被驳回。

审查员：刘震

代码：9560

This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record

## BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.